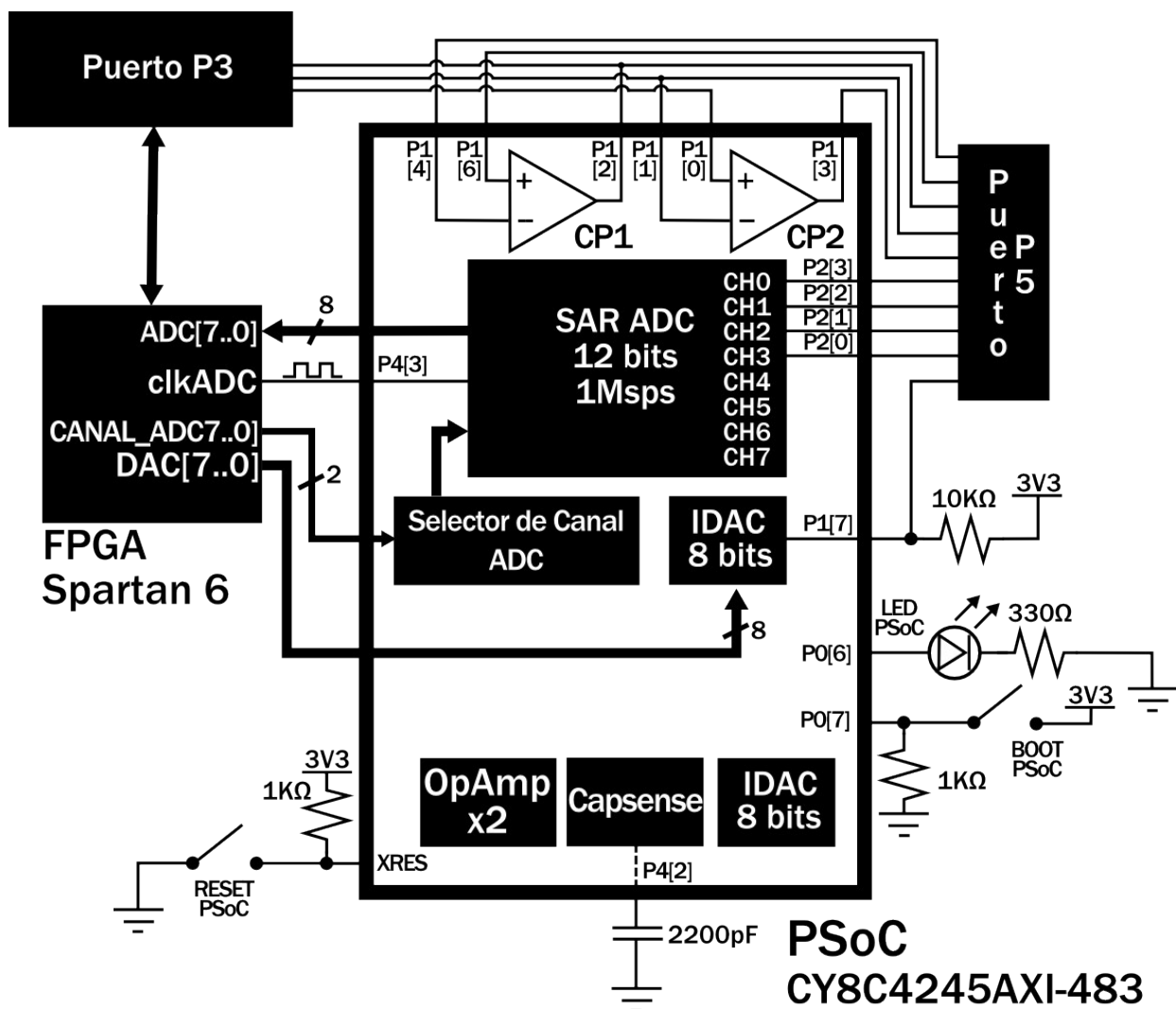


Interfaz analógica SYMBHIA

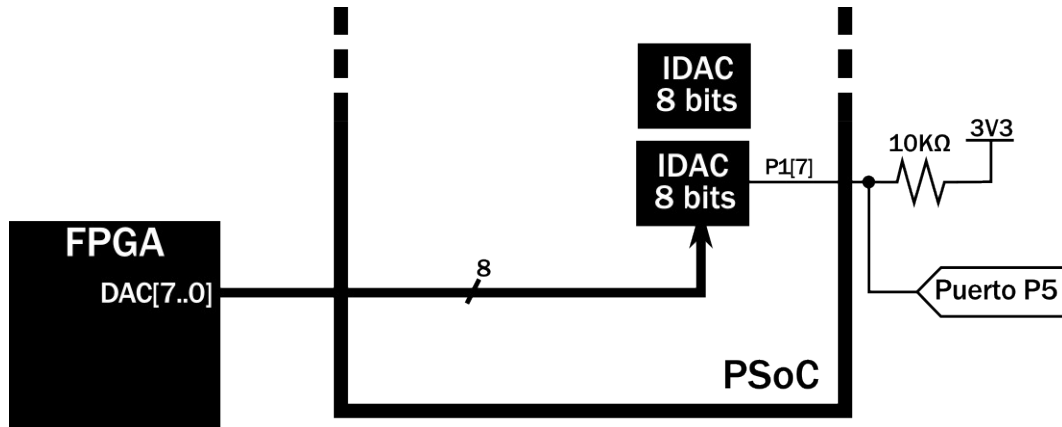
En esta aplicación de la tarjeta SYMBHIA se tiene como objetivo utilizar el ADC, uno de los IDAC y los comparadores del PSoC a través del FPGA, el PSoC tendrá programada una aplicación que nos permitirá hacer uso de los recursos mencionados, configurarlos y adquirir sus datos desde el FPGA. Adjunto a este documento se proporciona el proyecto del PSoC desarrollado en PSoC Creator 3.0 SP1 y el proyecto del FPGA desarrollado en ISE Design Suite 14.7.

A continuación se encuentra un diagrama que muestra la forma en que la aplicación programada en el PSoC funciona en conjunto con el FPGA.



IDAC

El IDAC del PSoC en esta aplicación será configurado para drenar la corriente que nosotros necesitemos. A continuación se muestra un esquemático simplificado de la forma en que está conectado el IDAC en la tarjeta SYMBHIA.



Como nuestro objetivo es drenar la corriente que le especifiquemos, se coloca en uno de los pines del PSoC una resistencia conectada hacia 3.3V, esto hará que en dicho pin entre corriente hacia el PsoC y el IDAC limitará la cantidad de corriente que entra. En el diagrama anterior se muestra la salida del IDAC donde se ha colocado una resistencia que conectada a 3.3V y se crea un voltaje en la resistencia dependiendo de la cantidad de corriente que drene el IDAC. El voltaje en la resistencia se puede calcular de la siguiente forma:

$$V = 3.3V - (I_{IDAC})(10K\Omega)$$

De modo que el rango de voltaje obtenido mediante el pin 5 del puerto P5 es de 0.24V a 3.3V.

Para elegir una cantidad de corriente del IDAC sólo se debe escribir al puerto de 8 bits que lo gobierna. En la aplicación de ejemplo, este puerto es llamado **DAC**.

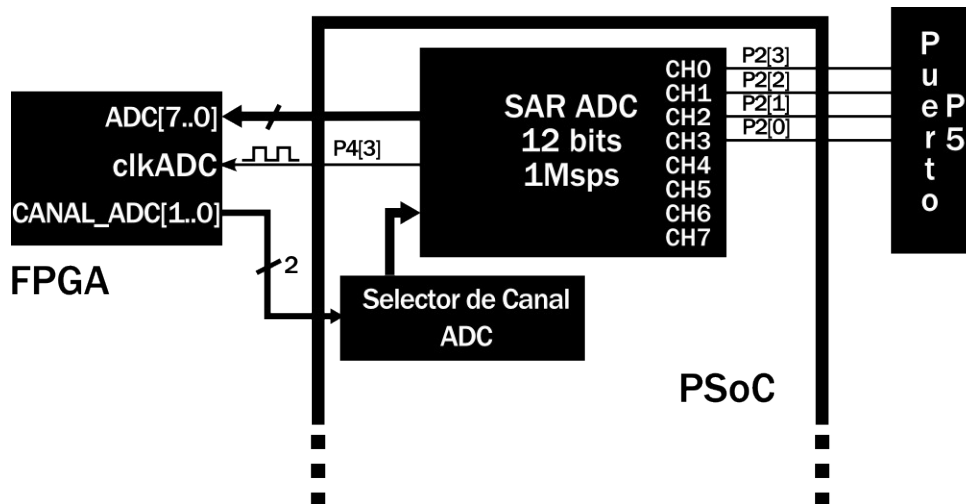
ADC

El ADC del PSoC es un SAR ADC de 12 bits a 1 MSPS. Puede leer voltajes analógicos de hasta 8 canales con VSS como referencia o 4 canales diferenciales. La aplicación del PSoC de SYMBHIA puede leer voltajes analógicos mediante el ADC, la lectura se puede hacer de 4 canales.

Características:

- Resolución de hasta 12 bits, también configurable a 8 bits.
- Velocidad de muestreo de 1 MSPS.
- Hasta 8 canales con VSS como referencia o 4 canales diferenciales.
- Rango de 0v a 3.3V.

A continuación se muestra un diagrama simplificado del ADC de la aplicación en SYMBHIA.



****La aplicación adquiere y muestra la información sin signo.**

Para hacer la lectura del ADC:

1. Se debe elegir un canal mediante el puerto **CANAL_ADC[1..0]**. A continuación se muestra una tabla de verdad con las combinaciones para elegir el canal del ADC.

CANAL_ADC	Canal
"00"	0
"01"	1
"10"	2
"11"	3

2. Se debe esperar a que **clkADC** sea '1' y en ese momento el FPGA puede leer el nuevo dato mediante el puerto **ADC[7..0]**.

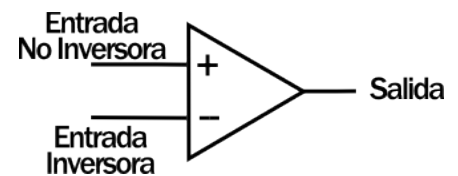
La frecuencia de muestreo de la aplicación Interfaz Analógica es de 95238 muestras por segundo.

Para más información sobre el ADC visite www.intesc.mx

Comparadores

SYMBHIA tiene dos comparadores que aunque se encuentran dentro del PSoC, sus conexiones van directamente hacia el exterior del PSoC sin conectarse internamente con él.

Los comparadores como su nombre lo indican comparan el voltaje en su terminal inversora con su terminal no inversora, si el voltaje de la terminal no inversora es mayor al voltaje de la terminal inversora, la salida del comparador es igual a '1', en caso contrario la salida del comparador es igual a '0'.



Los comparadores tienen un histéresis de 10mV en sus entradas para evitar que el ruido modifique la salida del comparador.

Para más información sobre los comparadores visite www.intesc.mx

Tabla de conexiones entre el FPGA y el PSoC

PSoC	Puerto P5	Función
P2[3]	1	Canal 0 ADC
P2[2]	2	Canal 1 ADC
P2[1]	3	Canal 2 ADC
P2[0]	4	Canal 3 ADC
P1[7]	5	Salida IDAC con resistencia de 10KΩ hacia positivo.
P1[6]	6	Entrada no inversora Comparador 1
P1[4]	7	Entrada inversora Comparador 1
P1[3]	8	Salida Comparador 2
P1[2]	9	Salida Comparador 1
P1[1]	10	Entrada inversora Comparador 2
PSoC	Puerto P3	Función
1	P1[2]	Salida Comparador 1
2	P1[1]	Entrada inversora Comparador 2
3	P1[0]	Entrada no inversora Comparador 2
PSoC	FPGA	Función
P0[5]	A11	DAC[7]. Bit 7 del DAC.
P0[4]	B11	DAC[6] Bit 6 del DAC.
P0[3]	C11	DAC[5] Bit 5 del DAC.
P0[2]	A12	DAC[4] Bit 4 del DAC.
P0[1]	C12	DAC[3] Bit 3 del DAC.
P0[0]	B13	DAC[2] Bit 2 del DAC.
P3[7]	H13	DAC[1] Bit 1 del DAC.

PSoC	FPGA	Función
P3[6]	H15	DAC[0] Bit 0 del DAC.
P2[7]	K15	Bit 7 de la lectura del ADC
P2[6]	K13	Bit 6 de la lectura del ADC
P2[5]	L15	Bit 5 de la lectura del ADC
P2[4]	L14	Bit 4 de la lectura del ADC
P3[5]	J11	Bit 3 de la lectura del ADC
P3[4]	J13	Bit 2 de la lectura del ADC
P4[1]	G14	Bit 1 de la lectura del ADC
P4[0]	L12	Bit 0 de la lectura del ADC
P4[3]	A13	Reloj del ADC. Se actualiza el dato de la salida del ADC durante el flanco de subida
P3[1]	J14	Bit 1 de selección de canal de ADC
P3[0]	J15	Bit 0 de selección de canal de ADC